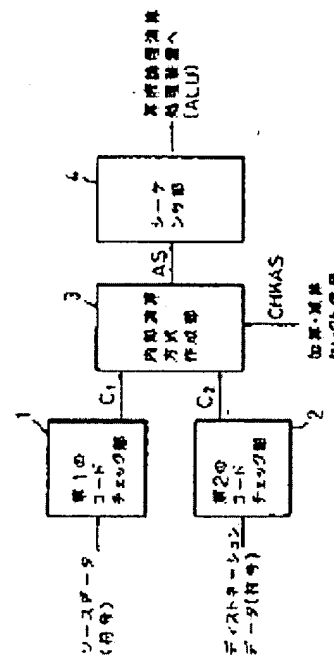


ARITHMETIC CONTROL CIRCUIT FOR ARITHMETIC AND LOGICAL OPERATION PROCESSOR

Patent number: JP3071329
Publication date: 1991-03-27
Inventor: SATO YOSHIYASU; others: 01
Applicant: FUJITSU LTD
Classification:
 - international: G06F7/50
 - european:
Application number: JP19890207003 19890811
Priority number(s):

Abstract of JP3071329

PURPOSE: To execute the arithmetic control processing at higher speed by checking a code of source data and destination data, and deciding by a hardware whether an absolute value of each data is added or subtracted.
CONSTITUTION: The subject circuit is provided with a first code check part 1 for detecting a code of source data, and a second code check part 2 for detecting a code of destination data. Also, this circuit is provided with an internal arithmetic system generating part 3 for outputting an internal arithmetic control signal AS supplied to a sequencer part 4 in accordance with outputs C1, C2 from a first and a second code check parts 1, 2 and an addition/ subtraction select signal CHKAS. In this state, the internal arithmetic control signal AS converted to a function signal for controlling actually an arithmetic processor in the sequencer part 4. Accordingly, as for the arithmetic processor, the internal arithmetic system to an absolute value of each data by the codes of the source data and the destination data and the addition/subtraction select signal is constituted of a hardware before one cycle. In such a way, the processing can be executed at higher speed.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-71329

⑮ Int. Cl.³

G 06 F 7/50

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月27日

E 7056-5B
Q 7056-5B

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 算術論理演算処理装置の演算制御回路

⑰ 特 願 平1-207003

⑱ 出 願 平1(1989)8月11日

⑲ 発 明 者 佐 藤 善 保 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 佐 藤 泰 造 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 青 木 朗 外4名

明 細 書

1. 発明の名称

算術論理演算処理装置の演算制御回路

2. 特許請求の範囲

1. 符号付のソースデータおよびディストネーションデータを演算処理する算術論理演算処理装置の演算制御回路であって、

前記ソースデータの符号を検出する第1のコードチェック部(1)と、

前記ディストネーションデータの符号を検出する第2のコードチェック部(2)と、

該第1および第2のコードチェック部からの出力(C₁, C₂)および加算・減算セレクト信号(CHK AS)に応じてシーケンサ部(4)に供給する内部演算制御信号(AS)を出力する内部演算方式作成部(3)とを具備する算術論理演算処理装置の演算制御回路。

3. 発明の詳細な説明

(概 要)

ソースデータおよびディストネーションデータ

の符号を処理してハードウェアにより演算制御を行う算術論理演算処理装置の演算制御回路に関し、

算術論理演算処理装置の演算制御をハードウェア上で実現することで処理スピードをより一層高速化することを目的とし、

符号付のソースデータおよびディストネーションデータを演算処理する算術論理演算処理装置の演算制御回路であって、前記ソースデータの符号を検出する第1のコードチェック部と、前記ディストネーションデータの符号を検出する第2のコードチェック部と、該第1および第2のコードチェック部からの出力および加算・減算セレクト信号に応じて前記算術論理演算処理装置に供給する内部演算制御信号を規定する内部演算方式作成部とを具備するように構成する。

(産業上の利用分野)

本発明は、算術論理演算処理装置(ALU)の演算制御回路に関し、特に、ソースデータおよびディストネーションデータの符号を処理してハ-

ドウェアにより演算制御を行う算術論理演算処理装置の演算制御回路に関する。

近年のマイクロコンピュータシステムの高速化の要求に伴いあらゆる機能をハードウェア上で実現する事が要求されており、算術論理演算処理装置の演算制御もハードウェアにより実行することが要望されている。

(従来の技術)

従来、算術論理演算処理装置の演算制御は、マイクロプログラムを使用して、ソースデータおよびディストネーションデータの符号をチェックして絶対値を加算するか減算するかを決定している。

(発明が解決しようとする課題)

上述したように、従来の算術論理演算処理装置の演算制御は、マイクロプログラムによりソースデータとディストネーションデータの符号をチェックして絶対値を加算するか減算するかを決定するようになされている。しかし、このように、マ

イクロプログラムを使用して算術論理演算処理装置の演算制御を行っていたのでは、処理スピードが遅くなり、近年の高速化の要求の妨げとなっている。

本発明は、上述した従来の算術論理演算処理装置の演算制御技術に鑑み、算術論理演算処理装置の演算制御をハードウェア上で実現することで処理スピードをより一層高速化することを目的とする。

(課題を解決するための手段)

第1図は本発明に係る算術論理演算処理装置の演算制御回路の原理を示すブロック図である。

本発明によれば、符号付のソースデータおよびディストネーションデータを演算処理する算術論理演算処理装置の演算制御回路であって、前記ソースデータの符号を検出する第1のコードチェック部1と、前記ディストネーションデータの符号を検出する第2のコードチェック部2と、該第1および第2のコードチェック部1,2からの出力C₁, C₂を内部演算方式作成部3において、ソースデータとディストネーションデータの加算・減算セレクト信号、CHKASに従って、内部演算制御信号ASが決定される。内部演算制御信号ASは、シーケンサ部4において実際に算術論理演算処理装置を制御するファンクション信号に変換される。従って、算術論理演算処理装置は、1サイクル前にソースデータとディストネーションデータの符号と加算・減算のセレクト信号とによる各々のデータの絶対値に対する内部演算方式がハードウェアで構成されることになる。

C₁および加算・減算セレクト信号CHKASに応じてシーケンサ部4に供給する内部演算制御信号ASを出力する内部演算方式作成部3とを具備する算術論理演算処理装置の演算制御回路が提供される。

(作用)

本発明の算術論理演算処理装置の演算制御回路によれば、第1のコードチェック部1でソースデータの符号が検出され、第2のコードチェック部2でディストネーションデータの符号が検出される。さらに、これら第1および第2のコードチェック部1,2からの出力C₁, C₂は、加算・減算セレクト信号CHKASと共に内部演算方式作成部3に供給され、該内部演算方式作成部3からシーケンサ部4へ内部演算制御信号ASが供給される。そして、シーケンサ部4は、内部演算方式作成部3からの内部演算制御信号ASに従った内部演算を行うことになる。

このように、本発明の算術論理演算処理装置は、加算・減算の決定方法として、ソースデータとデ

ストネーションデータが符号付データの場合、算術論理演算処理装置の演算処理の1サイクル前に第1および第2のコードチェック部1,2においてデータの符号をチェックし、第1および第2のコードチェック部1,2からの出力C₁, C₂を内部演算方式作成部3において、ソースデータとディストネーションデータの加算・減算セレクト信号、CHKASに従って、内部演算制御信号ASが決定される。内部演算制御信号ASは、シーケンサ部4において実際に算術論理演算処理装置を制御するファンクション信号に変換される。従って、算術論理演算処理装置は、1サイクル前にソースデータとディストネーションデータの符号と加算・減算のセレクト信号とによる各々のデータの絶対値に対する内部演算方式がハードウェアで構成されることになる。

すなわち、本発明の算術論理演算処理装置は、算術論理演算処理装置の演算制御をハードウェア上で実現することができ、処理スピードをより一層高速化することができる。

〔実施例〕

以下、図面を参照して本発明に係る算術論理演算処理装置の演算制御回路の一実施例を説明する。

第2図は本発明の算術論理演算処理装置の演算制御回路の一実施例を示すブロック回路図である。同図に示されるように、ソースデータの符号ビット（例えば、4ビット）はデータラッチ回路5を介してコードチェック回路1に供給され、また、ディストネーションデータの符号ビットはデータラッチ回路6を介してコードチェック回路2に供給される。ここで、データラッチ回路5および6は、ソースデータとディストネーションデータとを同期させるためのものであり、コードチェック回路1からはソースデータの符号 C_1 が出力され、コードチェック回路2からはソースデータの符号 C_2 が出力 C_1 と同じタイミングで出力されることになる。

コードチェック回路1および2からの出力 C_1 、 C_2 は、内部演算方式作成回路3に供給され、例えば、外部から供給される加算・減算セレクト信

号CHKASと共に処理されて、内部演算制御信号ASが出力ラッチ回路7に出力される。この内部演算方式作成回路3における処理は、各種論理回路を組み合わせたハードウェアにより行われ、結果として後述する第3図に示すような処理が行われる。

出力ラッチ回路7でラッチされた内部演算制御信号ASは、ALUシーケンサ回路4に供給され、シーケンサ回路4からは実際に演算を制御するファンクションデータFNがALU8に供給される。ALU8には、ソースデータの絶対値（符号ビットを除いたデータおよびディストネーションデータの絶対値）が供給されており、これらソースデータおよびディストネーションデータの絶対値は、ファンクションデータFNに応じて演算される。

第3図は第2図の内部演算方式作成回路の動作を説明するための図である。同図に示されるように、内部演算方式作成回路3における処理は、ソースデータの符号（コードチェック回路1の出力 C_1 ）、ディストネーションデータの符号（コードチェック回路2の出力 C_2 ）および外部から供給さ

れる加算・減算セレクト信号CHKASに応じて、内部演算方式(AS)を規定するものである。例えば、ソースデータの符号 C_1 が正、ディストネーションデータの符号 C_2 が正、そして、加算・減算セレクト信号CHKASが加算ならば、内部演算方式ASは加算となり、ALUシーケンサ4を介して、ALUにソースデータの絶対値とディストネーションデータの絶対値を加算させるようなファンクションデータFNが供給される。すなわち、ソースデータの符号 C_1 が正、ディストネーションデータの符号 C_2 が正、そして、加算・減算セレクト信号CHKASが加算ならば、ソースデータの絶対値とディストネーションデータの絶対値が加算される。また、ソースデータの符号 C_1 が正、ディストネーションデータの符号 C_2 が負、そして、加算・減算セレクト信号CHKASが減算ならば、内部演算方式ASは加算となり、ソースデータの絶対値とディストネーションデータの絶対値が加算される。

さらに、例えば、ソースデータの符号 C_1 が負、ディストネーションデータの符号 C_2 が負、そし

て、加算・減算セレクト信号CHKASが加算ならば、内部演算方式ASは加算となり、ソースデータの絶対値とディストネーションデータの絶対値が加算される。また、ソースデータの符号 C_1 が負、ディストネーションデータの符号 C_2 が正、そして、加算・減算セレクト信号CHKASが減算ならば、内部演算方式ASは加算となり、ソースデータの絶対値とディストネーションデータの絶対値が加算される。これらの場合には、図示しない他の回路により加算された絶対値に対して負の符号が付加されて符号付の演算結果が出力されることになる。

上述したように、本実施例の算術論理演算処理装置の演算制御回路は、ソースデータとディストネーションデータの符号をコードチェック回路で検出し、これらのソースデータおよびディストネーションデータの符号を示す信号 C_1 、 C_2 および加算・減算セレクト信号CHKASを受けた内部演算方式作成回路において、ソースデータとディストネーションデータの絶対値を加算するか減算するかがハードウェア的に規定される。これにより、

算術論理演算処理装置の演算制御処理速度をより一層高速化することができる。これはマイクロコンピュータシステムの性能向上に寄与するところが大である。

(発明の効果)

以上、詳述したように、本発明の算術論理演算処理装置の演算制御回路は、ソースデータとディストネーションデータの符号をチェックし、各々のデータの絶対値を加算するか減算するかの判定をハードウェアで実現することによって、算術論理演算処理装置の演算制御処理速度をより一層高速化することができる。

4. 図面の簡単な説明

第1図は本発明に係る算術論理演算処理装置の演算制御回路の原理を示すブロック図、

第2図は本発明の算術論理演算処理装置の演算制御回路の一実施例を示すブロック回路図、

第3図は第2図の内部演算方式作成回路の動作を説明するための図である。

(符号の説明)

- 1…第1のコードチェック部、
- 2…第2のコードチェック部、
- 3…内部演算方式作成部、
- 4…シーケンサ部(ALUシーケンサ回路)、
- 5,6…データラッチ回路、
- 7…出力ラッチ回路、
- 8…算術論理演算処理装置(ALU)。

特許出願人

富士通株式会社

特許出願代理人

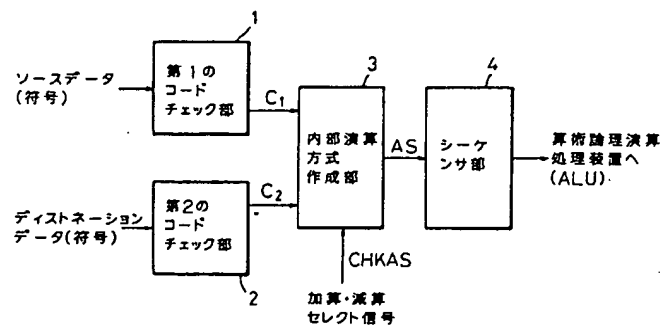
弁理士 青 木 朗

弁理士 石 田 敬

弁理士 平 岩 賢 三

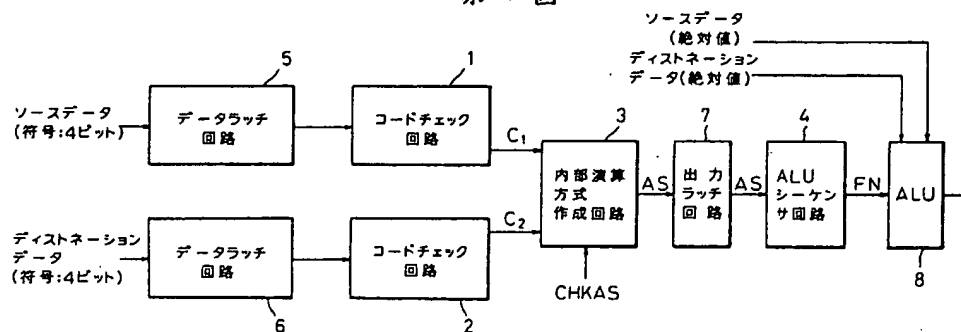
弁理士 山 口 昭 之

弁理士 西 山 雅 也



本発明に係る算術論理演算処理装置の演算制御回路の原理を示すブロック図

第1図



本発明の算術論理演算処理装置の演算制御回路の一実施例を示すブロック回路図

第2図

ソースデータ 符号(C ₁)	ディストネーション データ符号(C ₂)	CHKAS	内部演算方式 (AS)
正	正	加算	加算
正	正	減算	減算
正	負	加算	減算
正	負	減算	加算
負	正	加算	減算
負	正	減算	加算
負	負	加算	加算
負	負	減算	減算

第2図の内部演算方式作成回路の動作を説明するための図

第 3 図